

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017578

(43)Date of publication of application : 17.01.2003

(51)Int.CI.

H01L 21/8234
H01L 21/265
H01L 27/088
H01L 29/78

(21)Application number : 2001-198594

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 29.06.2001

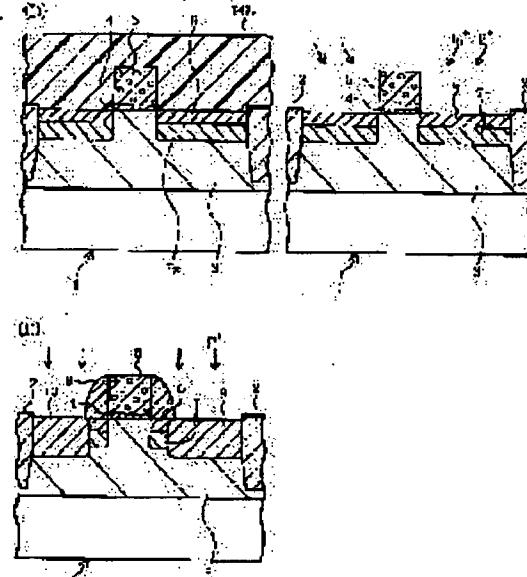
(72)Inventor : WADA HAJIME
OKABE KENICHI
WATANABE KO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of forming a pocket area by using indium and decreasing the increase of leak current by ion injection of indium.

SOLUTION: The semiconductor device has first and second active areas demarcated on the main surface of a silicon substrate, a first n channel MOS transistor formed on the first active area having a first extension area and a first pocket area adding the indium of first concentration at a position deeper than the first extension area, and a second n channel MOS transistor formed on the second active area having a second extension area and a second pocket area adding the indium of second concentration lower than the first concentration at another position deeper than the second extension area. Furthermore, boron may be ion-injected in the second pocket area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【発明の詳細な説明】
【請求項10】 前記工程（a）が、さらに第4の活性領域を画定し、さらには、nチャネルMOSトランジスタを形成する活性領域例にとつて説明する。

【0010】活性領域上に第4の絶縁ゲートを形成する工程と、
(m) 前記第4の活性領域上に第4の絶縁ゲートを形成する工程と、
(n) 前記第4の活性領域にp型不純物を第5の深さでイオン注入し、前記第4の絶縁ゲート両側に第4のエクステンション領域を形成する工程と、
(o) 前記第4の活性領域にp型不純物を第5の深さでイオン注入する工程と、
第6の深さでイオン注入する工程と、を含む請求項6～9のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0011】【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関するものである。特に、nチャネルMOSトランジスタを有する半導体装置の製造方法に関するものである。

【0012】【背景技術】半導体装置の微細化に伴い、トランジスタの面積に対するショートチャネル効果が問題となる。その対策として、ボケット領域が検索されている。nチャネルMOSトランジスタにおいては、ゲート両端の下方にp型のボケット領域を設ける。ボケット領域形成のための不純物としてボロンが広く用いられている。最近、n型ボケット領域を形成する不純物としてインシジムも用いられてきている。

【0013】ボケット領域形成用不純物として、インシジムを用いたnチャネルMOSトランジスタは、以下に挙げるようない点を有する。例えば、導電イオンを加速エネルギー5 keV、ドース5、 $3 \times 10^{-3} \text{ cm}^{-2}$ 程度で基板法線から30度ずつさせた4方向から注入し、インシジム添加領域を形成する。

【0014】図5（D）に示すように、絶縁ゲート電極5を覆うように酸化シリコン等の絶縁層を堆積し、異方性エッチングを行なうことによって絶縁ゲート電極5の膜厚上にのみ膜厚スペーサ8を残す。

【0015】絶縁ゲート電極と膜厚スペーサ8とを有し、n型不純物をイオン注入して深いソース/ドレイン領域9を形成する。例えば、導電イオンを加速エネルギー5 keV、ドース5、 $0 \times 10^{-3} \text{ cm}^{-2}$ 程度で注入する。深いソース/ドレイン領域9は、金属性電極とのコンタクト形成のために利用される。また、ソース/ドレインの抵抗を低減するためにシリアルを形成する場合には、金属とシリコンの化合物を形成する領域として利用される。

【0016】イオン注入を終えた半導体基板に対し、ランプ加熱を行い、不純物を活性化する。例えば、102.5℃、約3秒の熱処理をランプ加熱により行う。

【0017】図5（A）～（D）を参照して、微技術によるボケット領域を有する半導体装置の製造方法を説明する。

【0018】図5（A）に示すように、シリコン基板1の主表面に電子分離領域2を形成する。この構成においては、シリコン基板1表面に電子分離用層を形成し、電子分離用層を酸化シリコンなどの絶縁物で埋め込み、表面上に堆積した余分の絶縁物を化学機械研磨（CMP）により除去してショートチャネルアインレーショントン（STI）を形成している。

【0019】なお、STIに代え、シリコン局所酸化（LOCOS）による電子分離領域が形成されてもよい。

【0019】本発明の他の目的は、ボケット領域を形成する活性領域を例にとつて説明する。

【0010】活性領域のシリコン基板表面に、ボロニオンを加速エネルギー300 keV、ドース量3、 $0 \times 10^{-3} \text{ cm}^{-2}$ 程度で注入し、p型ウェル3を形成する。次に、ボロニオンを加速エネルギー30 keV、ドース量5、 $0 \times 10^{-2} \text{ cm}^{-2}$ 程度で注入し、閾値を調整したチャネル領域を形成する。

【0011】活性領域表面面上にゲート絶縁膜4を形成し、その上に多結晶シリコン、ボリサイド等のゲート電極層を形成する。ゲート電極層4、ゲート絶縁膜4を備えた絶縁ゲート電極5を形成する。

【0012】図5（B）に示すように、絶縁ゲート電極5をマスクし、酸素イオンを加速エネルギー5 keV、ドース量3、 $0 \times 10^{-5} \text{ cm}^{-2}$ 程度で注入し、浅いエクステンション領域6を形成する。図5（C）に示すように、エクステンション領域6の下間にボケット領域7を形成する。例えば、インシジムイオンを加速エネルギー100 keV、ドース量6、 $3 \times 10^{-3} \text{ cm}^{-2}$ 程度で基板法線から30度ずつさせた4方向から注入し、インシジム添加領域を形成する。

【0013】図5（D）に示すように、絶縁ゲート電極5を覆うように酸化シリコン等の絶縁層を堆積し、異方性エッチングを行なうことによって絶縁ゲート電極5の膜厚上にのみ膜厚スペーサ8を残す。

【0014】絶縁ゲート電極と膜厚スペーサ8とを有し、n型不純物をイオン注入して深いソース/ドレイン領域9を形成する。例えば、導電イオンを加速エネルギー5 keV、ドース5、 $0 \times 10^{-3} \text{ cm}^{-2}$ 程度で注入する。深いソース/ドレイン領域9は、金属性電極とのコンタクト形成のために利用される。また、ソース/ドレインの抵抗を低減するためにシリアルを形成する場合には、金属とシリコンの化合物を形成する領域として利用される。

【0015】これらの利点は、インシジムの原子量（1.5）がボロンの原子量（1.1）より大きく、注入位置からの偏析、粒状を生じ難いことにより明らかにされた。

【0016】図5（A）～（D）を参照して、微技術によるボケット領域を有する半導体装置の製造方法を説明する。

【0017】図5（A）に示すように、シリコン基板1の主表面に電子分離領域2を形成する。この構成においては、シリコン基板1表面に電子分離用層を形成し、電子分離用層を酸化シリコンなどの絶縁物で埋め込み、表面上に堆積した余分の絶縁物を化学機械研磨（CMP）により除去してショートチャネルアインレーショントン（STI）を形成する。

【0018】本発明の目的は、nチャネルMOSトランジスタのボケット領域をインシジムを用いて形成し、かついシジムを用いたことによるゲート電流の増加を低減することである。

【0019】本発明の他の観点によれば、（a）主表面を有するシリコン基板に電子分離領域を形成し、

第1、第2の活性領域を画定する工程と、（b）第1、第2の活性領域上にゲート絶縁膜を形成する工程と、

（c）前記ゲート絶縁膜上に導電性ゲート電極層を形成する工程と、（d）前記ゲート電極層、ゲート絶縁膜を形成する半導体装置の製造方法を提供することである。

【0020】【課題を解決するための手段】本発明の1観点によれば、主表面を有するシリコン基板と、前記シリコン基板の主表面に形成された電子分離領域によって画定された第1、第2活性領域と、ゲート絶縁膜を備えた第1の絶縁ゲートと、前記第1の絶縁ゲート両側の第1の活性領域上に第2の絶縁ゲートを形成する工程と、（e）前記第1、第2の活性領域上にn型不純物を注入し、第1、第2の絶縁ゲート両側に第1の活性領域によって画定された第1の深さでイオン注入する工程と、（f）前記第2の活性領域上に第2の活性領域をマスクして、前記第1の活性領域をインシジムを第1のドース量より低い第1の深さでイオン注入する工程と、（g）前記第2の活性領域をマスクして、前記第2の活性領域にインシジムを第1のドース量より低い第2の深さでイオン注入する工程と、（h）前記第1の活性領域をマスクして、前記第2の活性領域にインシジムを第1のドース量より低い第3の深さでイオン注入する工程と、（i）前記第1の活性領域内に形成された第1のエクステンション領域と、前記第1の絶縁ゲートに第1の活性領域の第1の絶縁ゲートに第1のドース量より深い第2のドース量で第1のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第3のドース量で第2のドース量で第2のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第4のドース量で第3のドース量で第3のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第5のドース量で第4のドース量で第4のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第6のドース量で第5のドース量で第5のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第7のドース量で第6のドース量で第6のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第8のドース量で第7のドース量で第7のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第9のドース量で第8のドース量で第8のエクステンション領域と、前記第1の絶縁ゲートに第1のドース量より深い第10のドープ量を抑制することができる。アモルファス相が生じを抑制することができる。

【0021】さらに、Bをドープすることにより、ショートチャネル効果抑制の効果が不足する分を補うことができる。

【0022】【発明の実施の形態】本発明の実施例の説明に先立ち、ポケット領域形成のためにインシジムを用いたnチャネルMOSトランジスタについて説明する。インシジムを用いてポケット領域を形成したnチャネルMOSトランジスタの接合リード電流が増大することは、アモルファス相の残留との関連が示唆されている。

【0023】イオン注入時に発生するアモルファス相は、イオン注入後の活性化熱処理において回復されている。

【0024】さらに、Bをドープすることにより、ショートチャネル効果抑制の効果が不足する分を補うことができる。

【0025】【発明の実施の形態】本発明の実施例の説明に先立ち、ポケット領域形成のためにインシジムを用いたnチャネルMOSトランジスタについて説明する。インシジムを用いてポケット領域を形成したnチャネルMOSトランジスタの接合リード電流が増大することは、アモルファス相の残留との関連が示唆されている。

【0026】イオン注入時に発生するアモルファス相は、イオン注入後の活性化熱処理において回復されている。近年、トランジスタの微細化に伴い、活性化熱処理のサーマルベクトルが低下している。このため、十分なアモルファス相の回復が出来なくなっている。インシジムを注入し接合リード電流が増大したトランジスタにおいては、側面スベーサ下部にアモルファス相が残留していることが指摘されている。

【0027】インシジムを用いたnチャネルMOSトランジスタの第1の活性領域と、前記第1の絶縁ゲートに第1のドース量より深い第2のドース量で第2のエクステンション領域と、前記第2の絶縁ゲートに第2のドース量より深い第3のドース量で第3のエクステンション領域と、前記第3の絶縁ゲートに第3のドース量より深い第4のドース量で第4のエクステンション領域と、前記第4の絶縁ゲートに第4のドース量より深い第5のドース量で第5のエクステンション領域と、前記第5の絶縁ゲートに第5のドース量より深い第6のドース量で第6のエクステンション領域と、前記第6の絶縁ゲートに第6のドース量より深い第7のドース量で第7のエクステンション領域と、前記第7の絶縁ゲートに第7のドース量より深い第8のドース量で第8のエクステンション領域と、前記第8の絶縁ゲートに第8のドース量より深い第9のドース量で第9のエクステンション領域と、前記第9の絶縁ゲートに第9のドース量より深い第10のドープ量を抑制することができる。

【0028】【発明の実施の形態】本発明の実施例の説明に先立ち、nチャネルMOSトランジスタと、前記第2の活性領域によって画定された第1のボケット領域と有し、前記第1の絶縁ゲートを添加した第1の側壁スベーザと、前記第1の絶縁ゲート両側の第2の活性領域内に形成された第2のエクステンション領域と、前記第2の絶縁ゲートに第2のドース量より深い第3のドース量で第3のエクステンション領域と、前記第3の絶縁ゲートに第3のドース量より深い第4のドース量で第4のエクステンション領域と、前記第4の絶縁ゲートに第4のドース量より深い第5のドース量で第5のエクステンション領域と、前記第5の絶縁ゲートに第5のドース量より深い第6のドース量で第6のエクステンション領域と、前記第6の絶縁ゲートに第6のドース量より深い第7のドース量で第7のエクステンション領域と、前記第7の絶縁ゲートに第7のドース量より深い第8のドース量で第8のエクステンション領域と、前記第8の絶縁ゲートに第8のドース量より深い第9のドース量で第9のエクステンション領域と、前記第9の絶縁ゲートに第9のドース量より深い第10のドープ量を抑制することができる。

【0029】【発明の実施の形態】本発明の実施例の説明に先立ち、nチャネルMOSトランジスタについて説明する。インシジムを用いてポケット領域を形成したnチャネルMOSトランジスタの接合リード電流が増大することは、アモルファス相の残留との関連が示唆されている。

【0030】【発明の実施の形態】本発明の実施例の説明に先立ち、nチャネルMOSトランジスタを用いたnチャネルMOSトランジスタの側壁スベーザと、前記第2の活性領域によって画定された第1のボケット領域と有し、前記第1の絶縁ゲートを添加した第1の側壁スベーザと、前記第1の絶縁ゲート両側の第2の活性領域内に形成された第2のエクステンション領域と、前記第2の絶縁ゲートに第2のドース量より深い第3のドース量で第3のエクステンション領域と、前記第3の絶縁ゲートに第3のドース量より深い第4のドース量で第4のエクステンション領域と、前記第4の絶縁ゲートに第4のドース量より深い第5のドース量で第5のエクステンション領域と、前記第5の絶縁ゲートに第5のドース量より深い第6のドース量で第6のエクステンション領域と、前記第6の絶縁ゲートに第6のドース量より深い第7のドース量で第7のエクステンション領域と、前記第7の絶縁ゲートに第7のドース量より深い第8のドース量で第8のエクステンション領域と、前記第8の絶縁ゲートに第8のドース量より深い第9のドース量で第9のエクステンション領域と、前記第9の絶縁ゲートに第9のドース量より深い第10のドープ量を抑制することができる。

【0031】【発明の実施の形態】本発明の実施例の説明に先立ち、nチャネルMOSトランジスタを用いたnチャネルMOSトランジスタの側壁スベーザと、前記第2の活性領域によって画定された第1のボケット領域と有し、前記第1の絶縁ゲートを添加した第1の側壁スベーザと、前記第1の絶縁ゲート両側の第2の活性領域内に形成された第2のエクステンション領域と、前記第2の絶縁ゲートに第2のドース量より深い第3のドース量で第3のエクステンション領域と、前記第3の絶縁ゲートに第3のドース量より深い第4のドース量で第4のエクステンション領域と、前記第4の絶縁ゲートに第4のドース量より深い第5のドース量で第5のエクステンション領域と、前記第5の絶縁ゲートに第5のドース量より深い第6のドース量で第6のエクステンション領域と、前記第6の絶縁ゲートに第6のドース量より深い第7のドース量で第7のエクステンション領域と、前記第7の絶縁ゲートに第7のドース量より深い第8のドース量で第8のエクステンション領域と、前記第8の絶縁ゲートに第8のドース量より深い第9のドース量で第9のエクステンション領域と、前記第9の絶縁ゲートに第9のドース量より深い第10のドープ量を抑制することができる。

中间段階において厚板のゲート電極を形成する領域以外の活性領域の幅をゲート幅Wとする。このようにして、厚いゲート電極と薄いゲート電極を形成する。

[0064] ゲート電極層、ゲート絶縁膜をレジストマスクを用いてバーニングすることにより、ゲート電極25、ゲート絶縁膜14を形成する。

[0065] 図4(B)に示すように、A₃+イオンを加速エネルギー10keV、ドース量3.0×10¹⁴cm⁻²程度でイオン注入し、ソース/ドレインエクステンション領域を形成する。

[0066] 図4(C)に示すように、前述の実験同様の工程により、ゲート電極25側面上に偏置スペーサ8を形成した後、例えはP⁺イオンを加速エネルギー15kV、ドース量5.0×10¹⁵cm⁻²程度でイオン注入し、深いソース/ドレイン領域29を形成され、ゲート電極も駆けられない。

[0067] 高耐圧トランジスタは、上述のような工程により形成される半導体チップの平面構造を概略的に示す。半導体チップ30は、入出力回路31、メモリ回路32、ロジック回路33を含む。入出力回路31は、図4(C)に示すような高耐圧トランジスタを含む。メモリ領域32は、例えはスマチクランダムアクセスマモリ(SRAM)で形成され、低リードチャネルトランジスタを含む。ロジック回路33は、CMOS回路で構成され、メモリセルの底リードトランジスタよりゲート幅の広いチャネル構造トランジスタと、ポケット領域を備えたロードチャネルトランジスタで形成される。

[0068] 図7は、上述の段階にて形成した標準トランジスタと低リードトランジスタのリード特性を示す。図中横軸は、リード電流を出力端Aで示し、縦軸は漏電流を示す。曲線1が標準トランジスタで形成されたリードチャネルトランジスタの漏電流を3.4×10⁻¹³cm⁻²のインジウムと2.0×10⁻¹³cm⁻²のポロロンのイオン注入で形成した低リードトランジスタの特性である。曲線2は、ポケット領域を6.28×10¹³cm⁻²のインジウムのイオン注入で形成した標準トランジスタの特性である。

[0069] 図7の特性から明らかのように、リード電流は1桁以上の大きさを示している。1nのドープ量を制限したことにより、リード電流が大幅に減少していることが明らかである。1nのドープ量を低減すると、アモルファス化される量が減少し、熱処理により満足できる程度まで結晶相に回復するものと考えられる。1nのドープ量を一定値以上に増加させると、回復できないアモルファス領域が増加し、リード電流を増大させると考えられる。

[0070] 図8(A)～(C)は、漏電圧V_{th}とゲート電圧V_G及びゲート電流依存性を示す。

[0071] 図8(A)に示すように、活性領域AR上にゲート電極Cが形成されている場合、ゲート電流の漏

[図3] ポケットMOSトランジスタの製造工程を示す断面図である。

[図4] 高耐圧トランジスタの製造工程を示す断面図及び半導体チップの平面図である。

[図5] 従来の技術による半導体装置の製造工程を示す半導体チップの断面図である。

[図6] ポケット領域と、ポケットウェーブで形成した場合のサマルカーブの測定結果を示すグラフである。

[図7] ポケット領域をインジウムで形成した場合と、インジウムとポロロンを混合して形成した場合のリード電流特性を示すグラフである。

[図8] ポケット領域と底リードトランジスタの漏電圧のゲート幅及びゲート電流依存性を示すグラフである。

[図9] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図10] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図11] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図12] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図13] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図14] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図15] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図16] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図17] ポケット領域をインジウムで形成した場合と、インジウムとポロロンを混合して形成した場合のリード電流特性を示すグラフである。

[図18] ポケット領域と底リードトランジスタの漏電圧のゲート幅及びゲート電流依存性を示すグラフである。

[図19] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図20] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図21] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図22] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図23] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図24] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図25] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図26] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図27] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図28] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図29] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

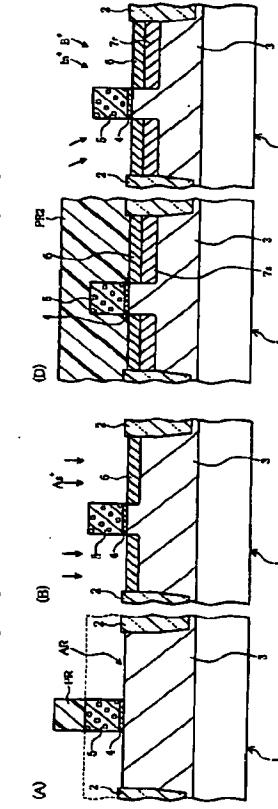
[図30] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図31] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

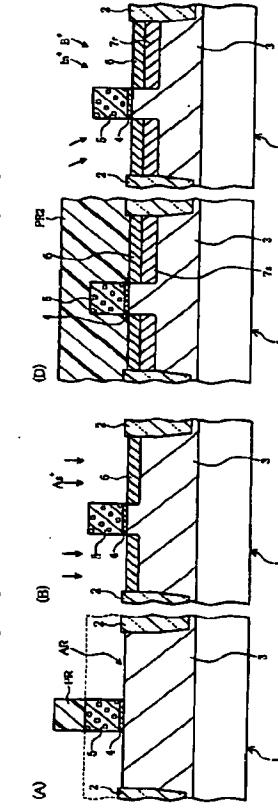
[図32] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

[図33] ポケット領域をインジウムで形成した場合のリード電流特性を示すグラフである。

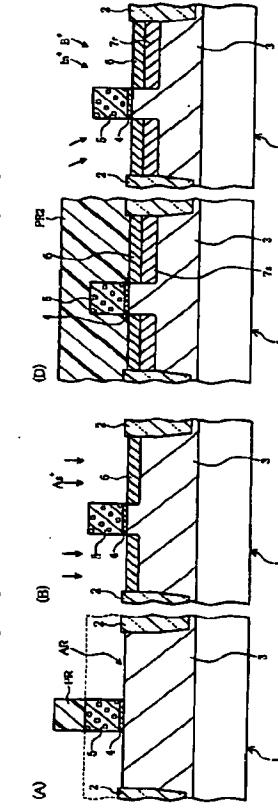
[図1]



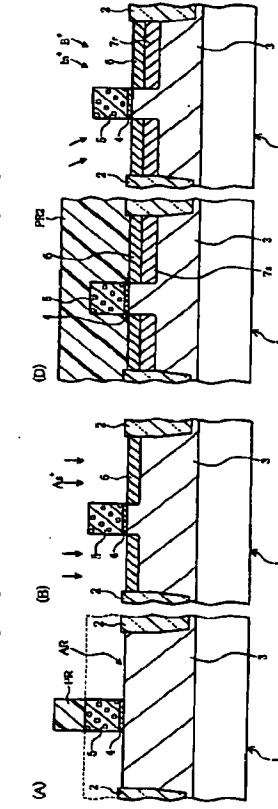
[図2]



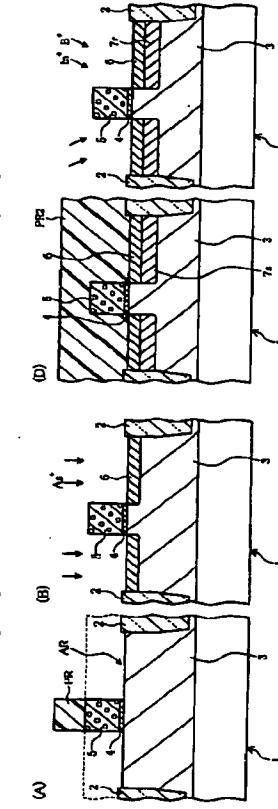
[図3]



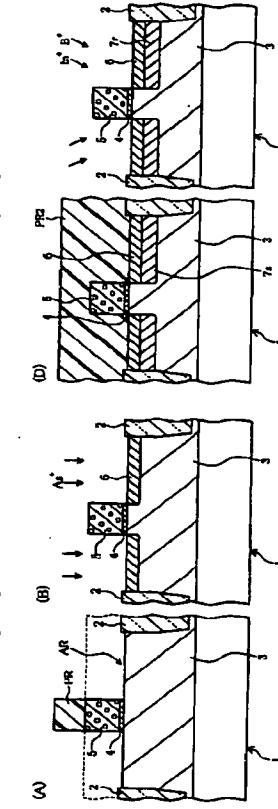
[図4]



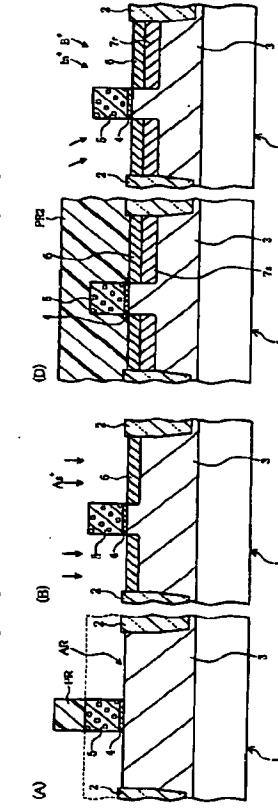
[図5]



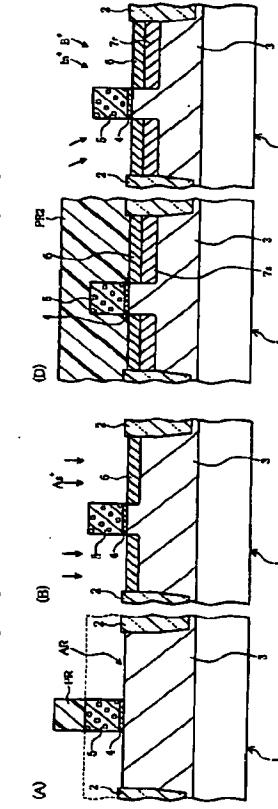
[図6]



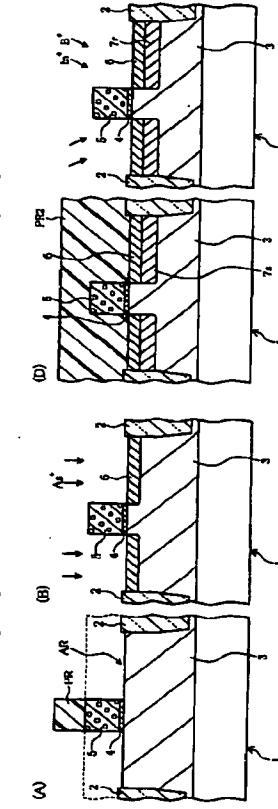
[図7]



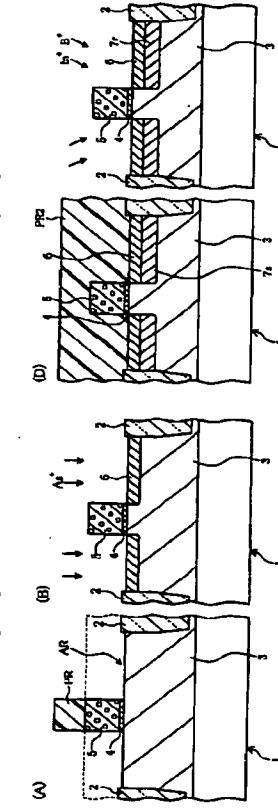
[図8]



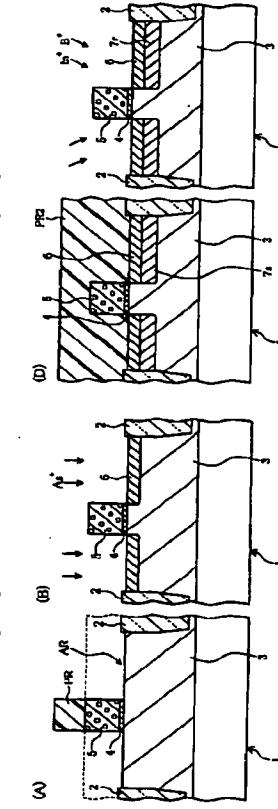
[図9]



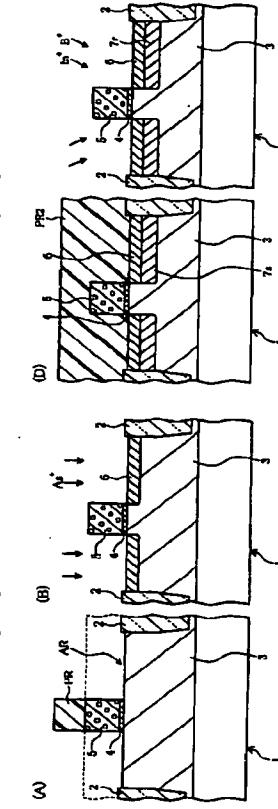
[図10]



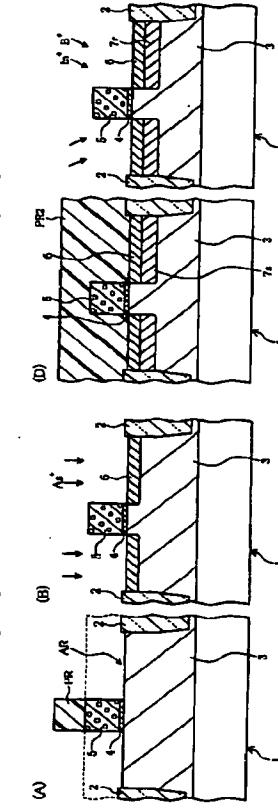
[図11]



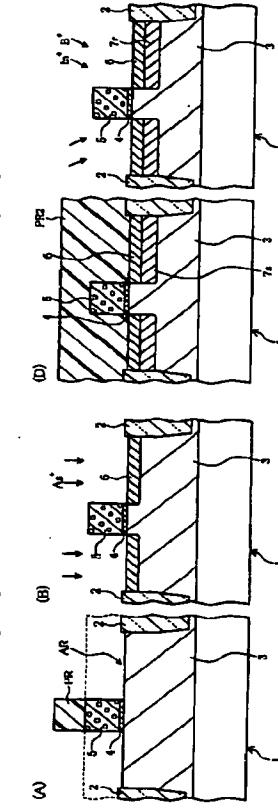
[図12]



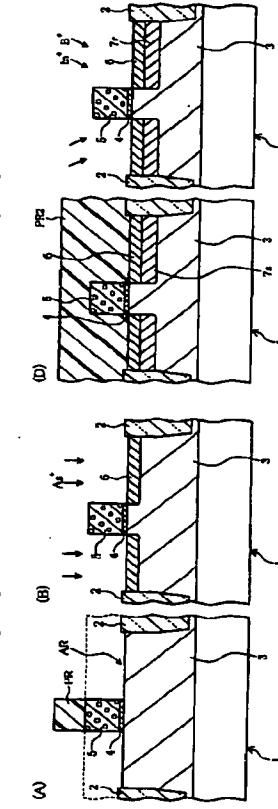
[図13]



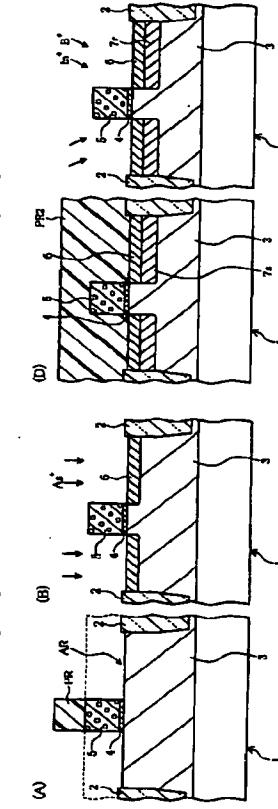
[図14]



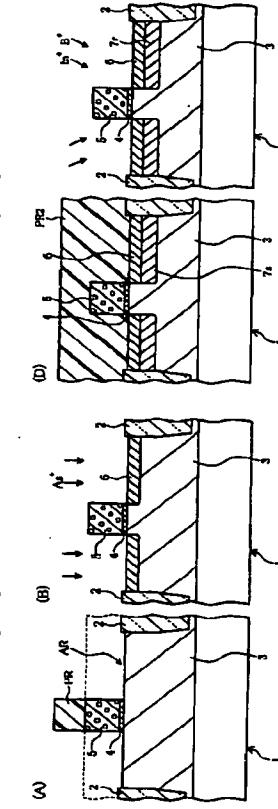
[図15]



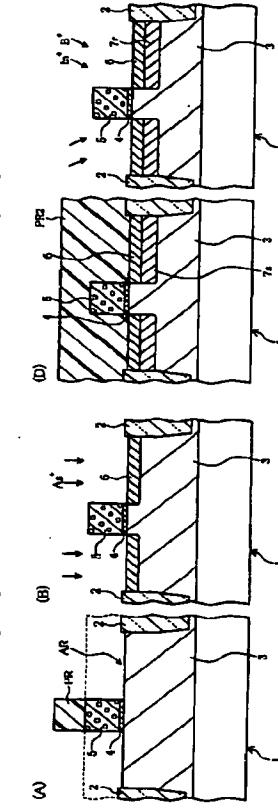
[図16]



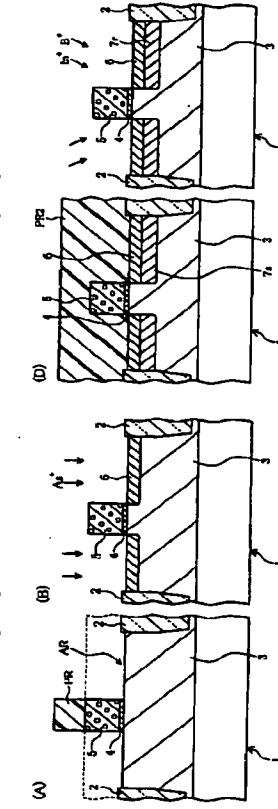
[図17]



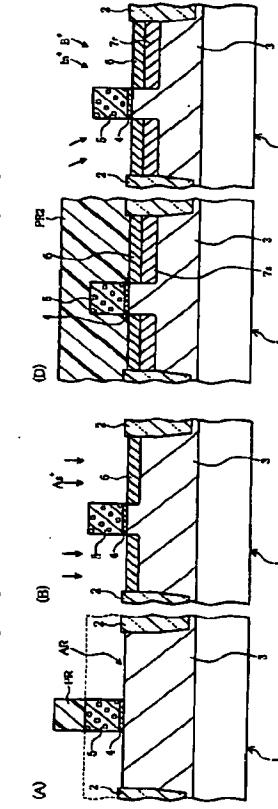
[図18]



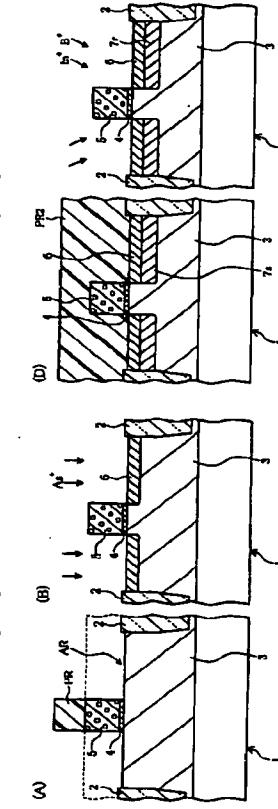
[図19]



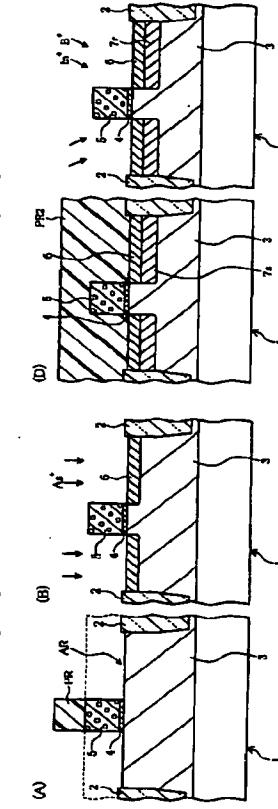
[図20]



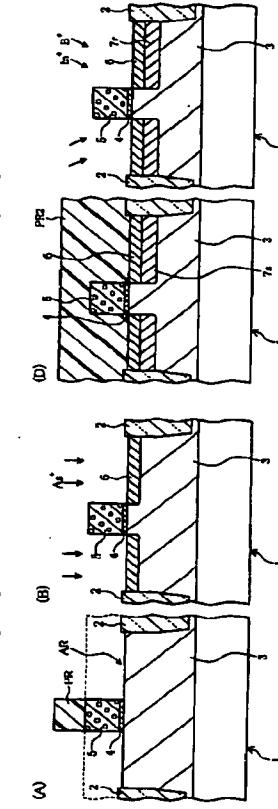
[図21]



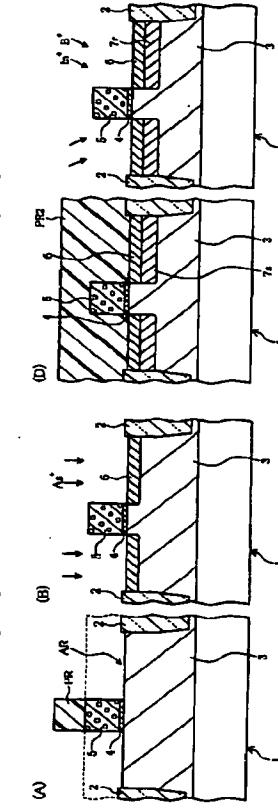
[図22]



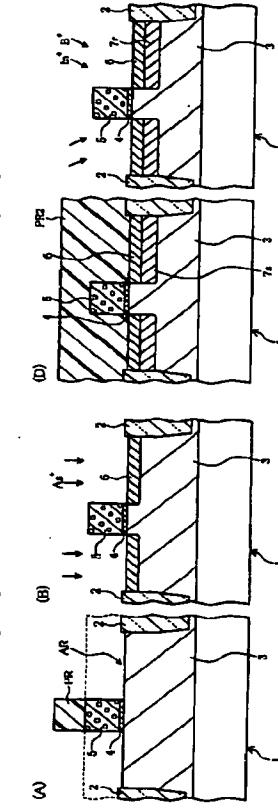
[図23]



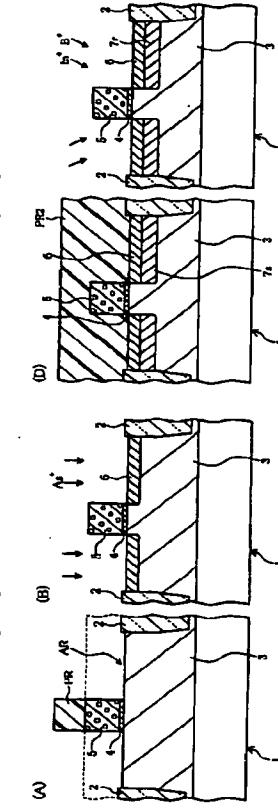
[図24]



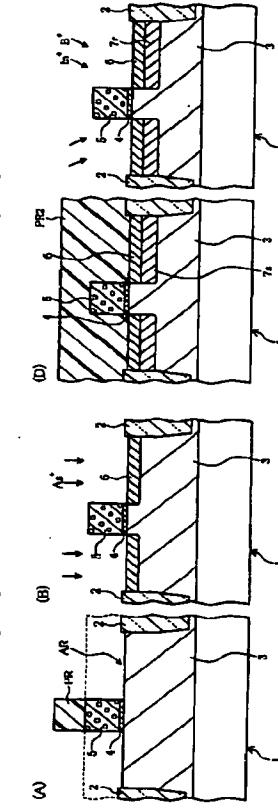
[図25]



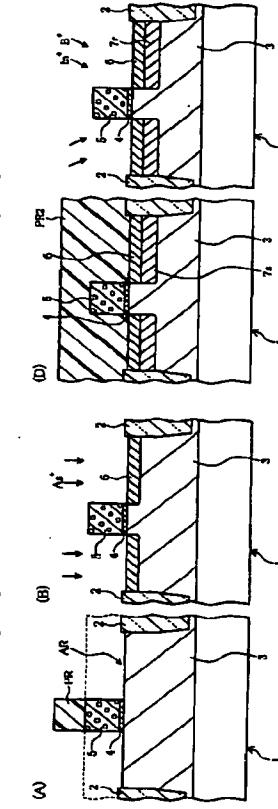
[図26]



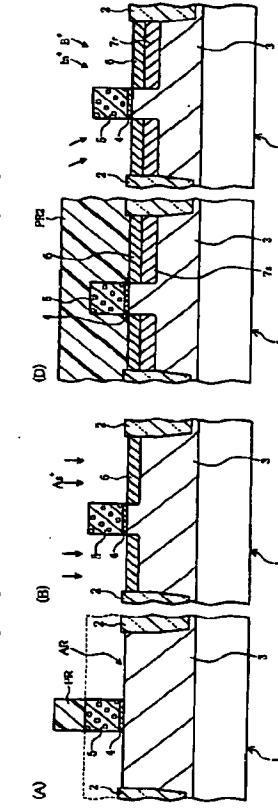
[図27]



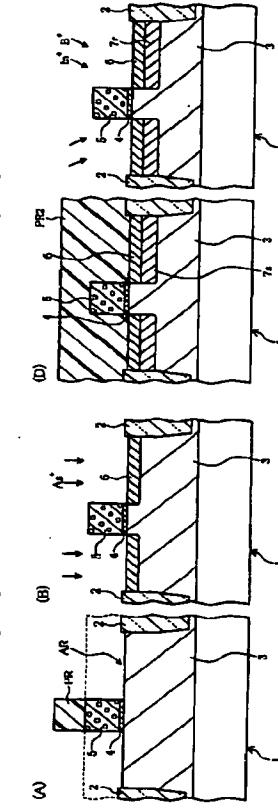
[図28]



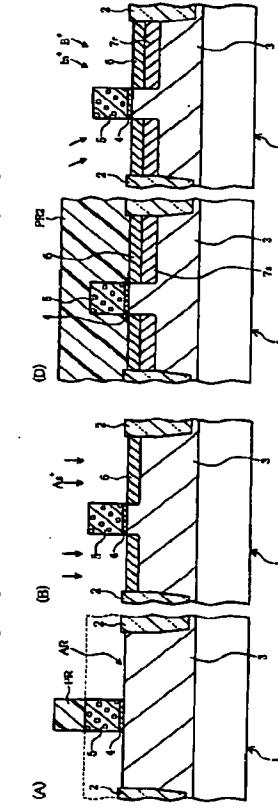
[図29]



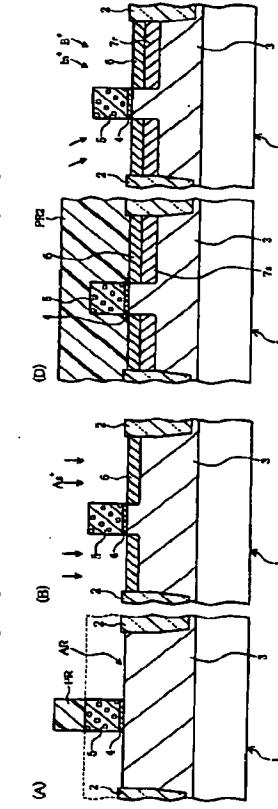
[図30]



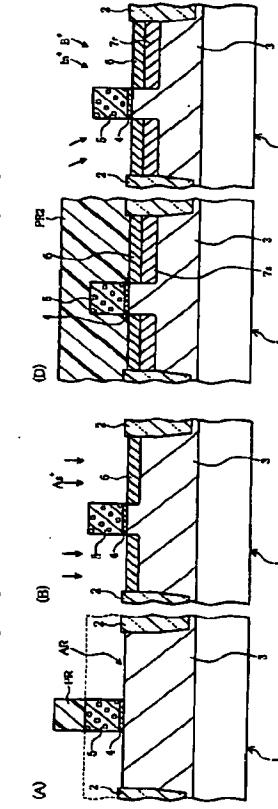
[図31]



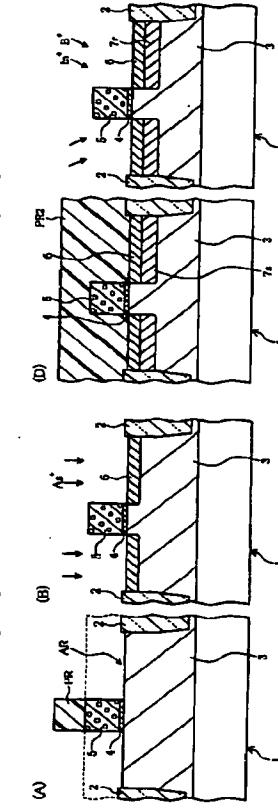
[図32]



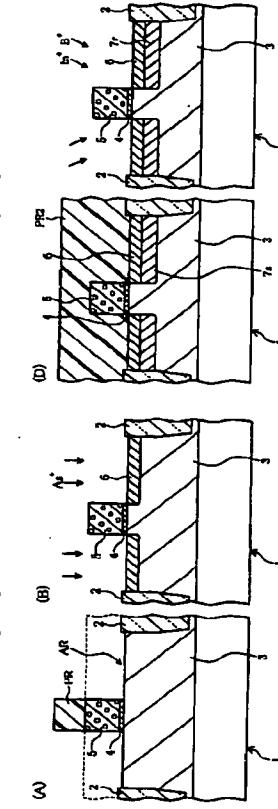
[図33]



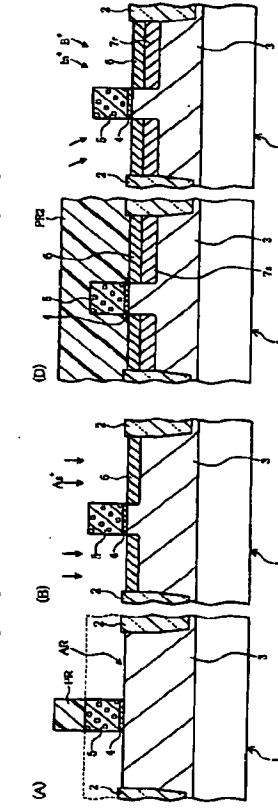
[図34]



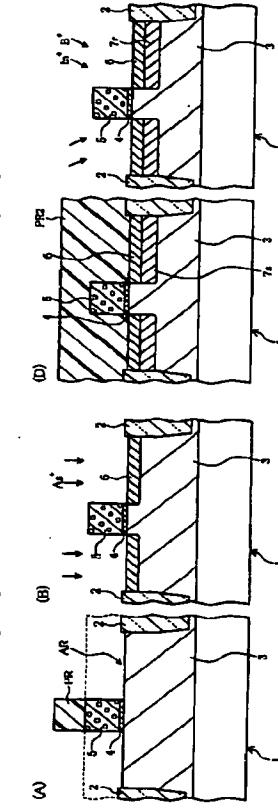
[図35]



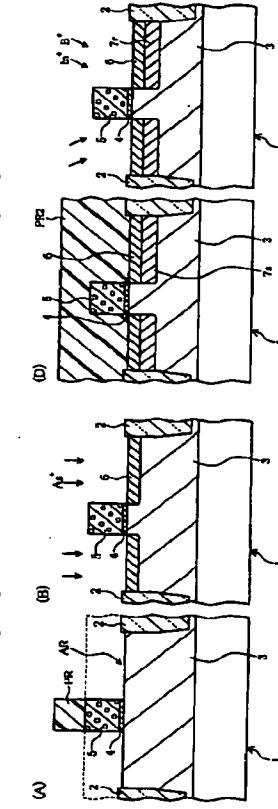
[図36]



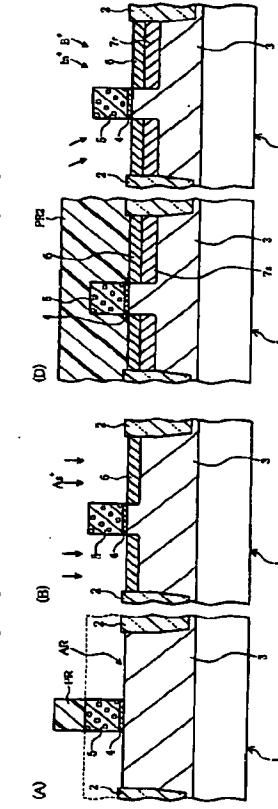
[図37]



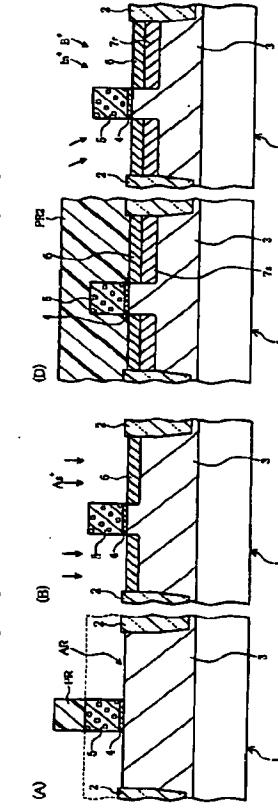
[図38]



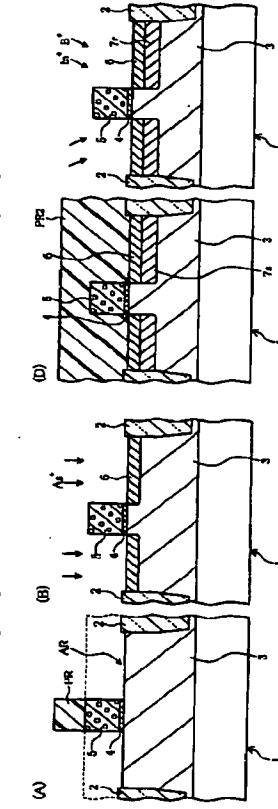
[図39]



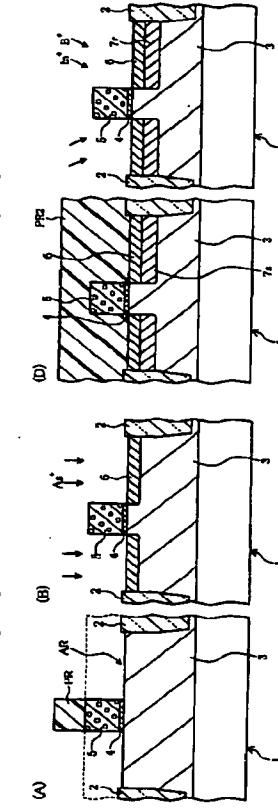
[図40]



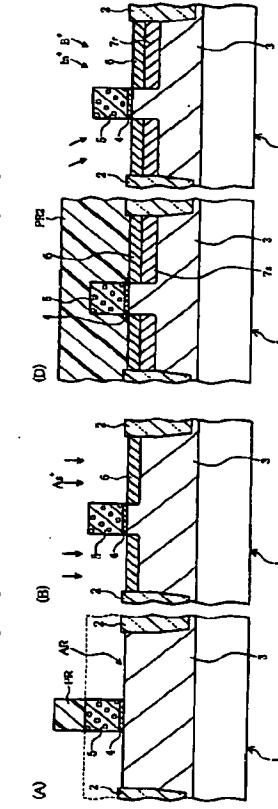
[図41]



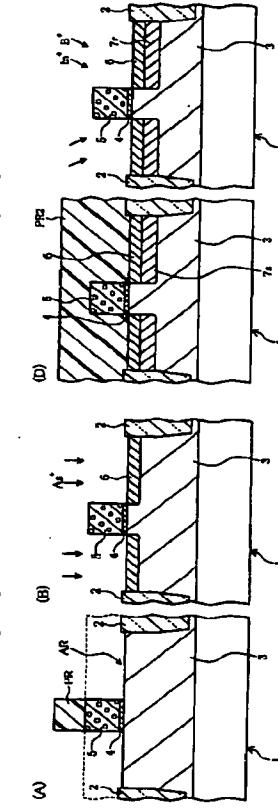
[図42]



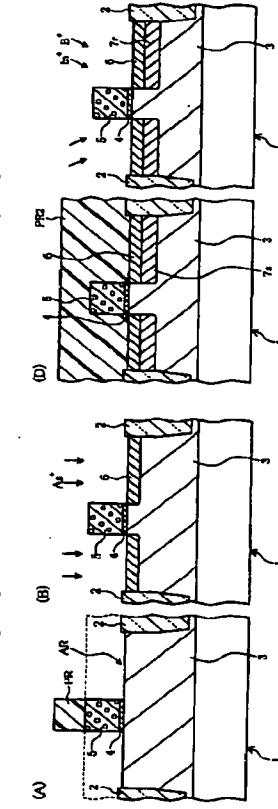
[図43]



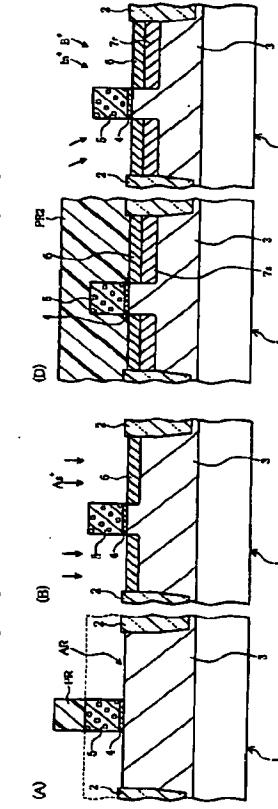
[図44]



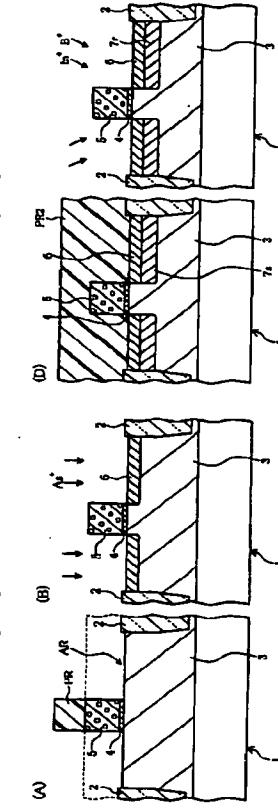
[図45]



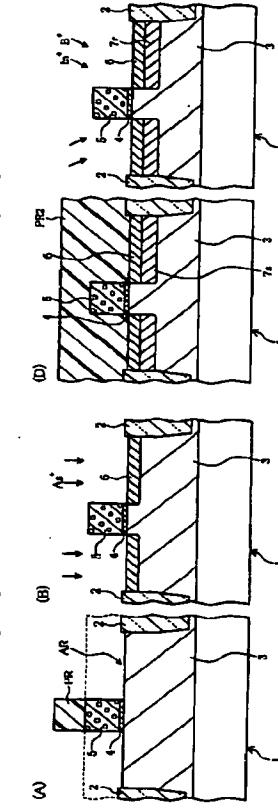
[図46]



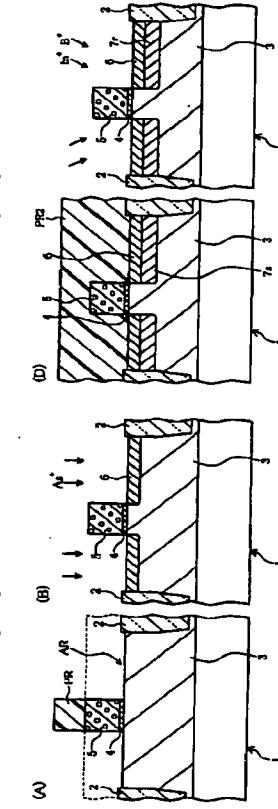
[図47]



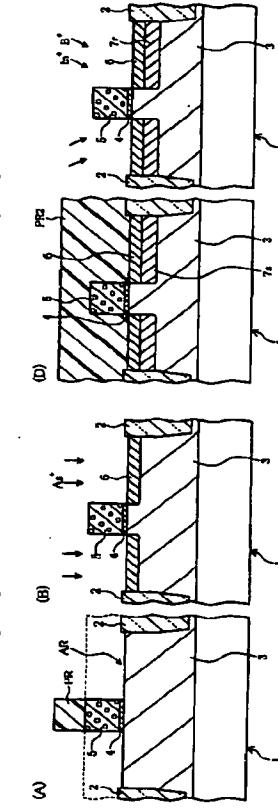
[図48]



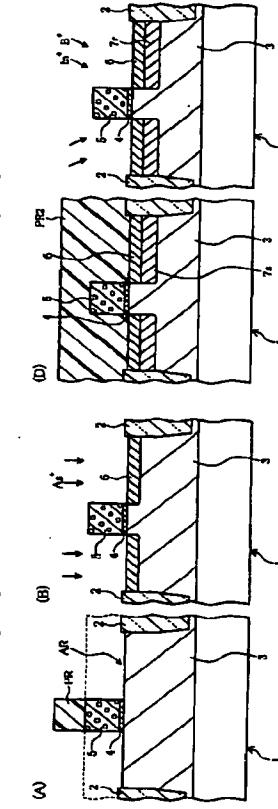
[図49]



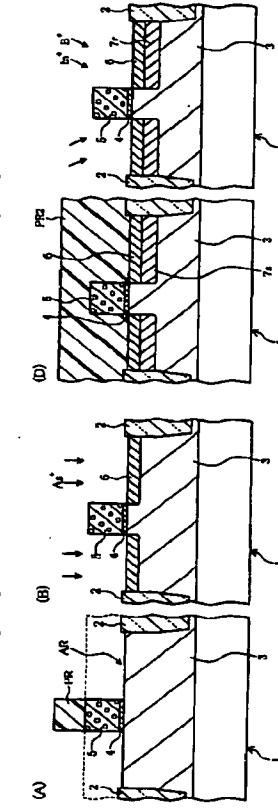
[図50]



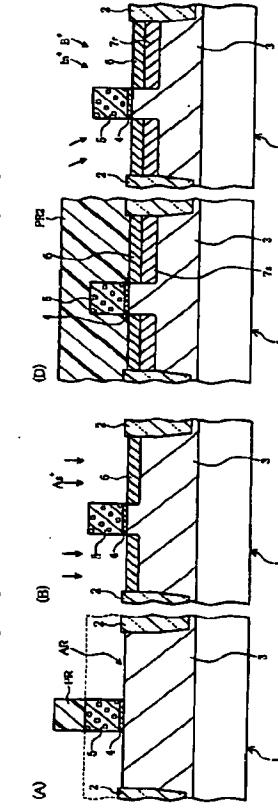
[図51]



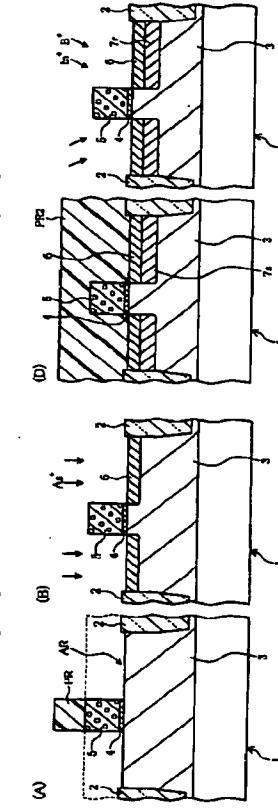
[図52]



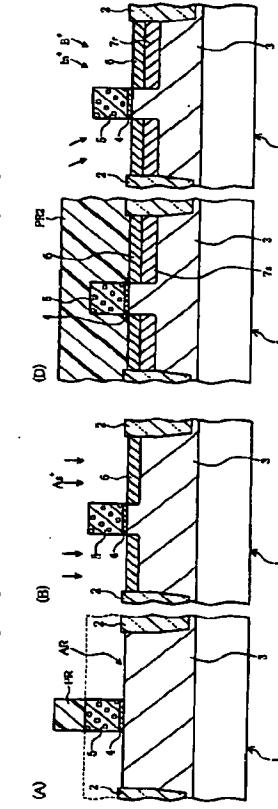
[図53]



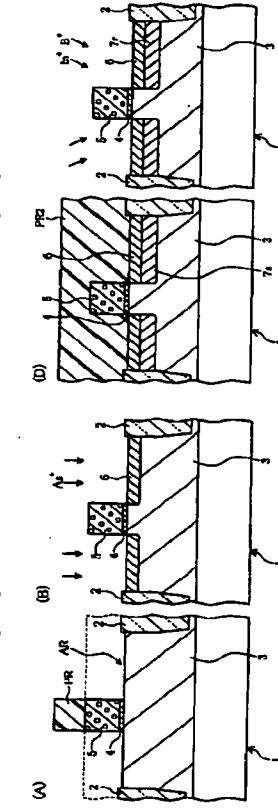
[図54]



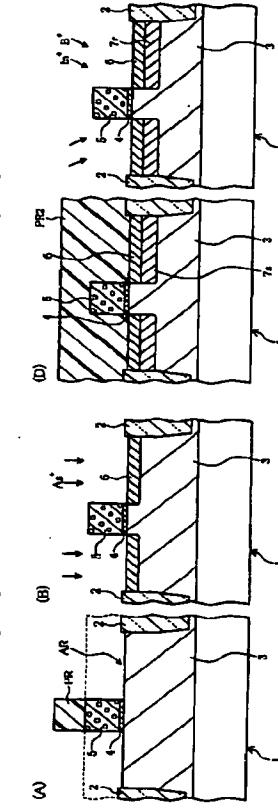
[図55]



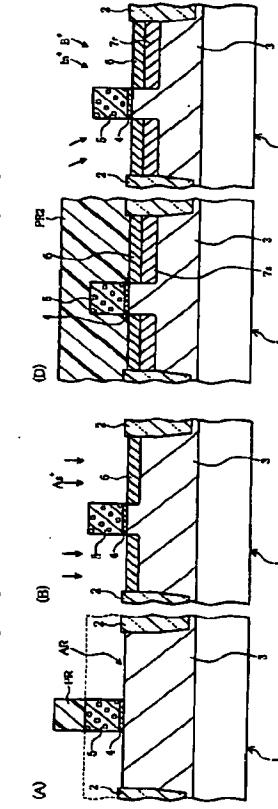
[図56]



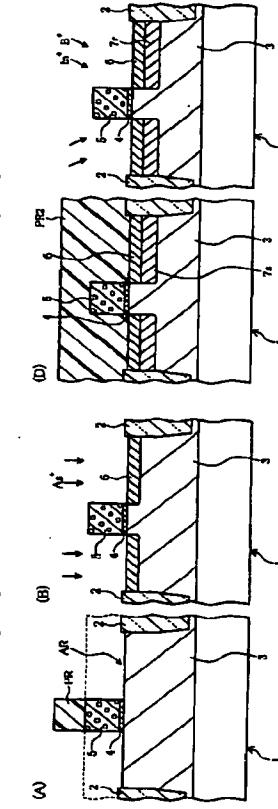
[図57]



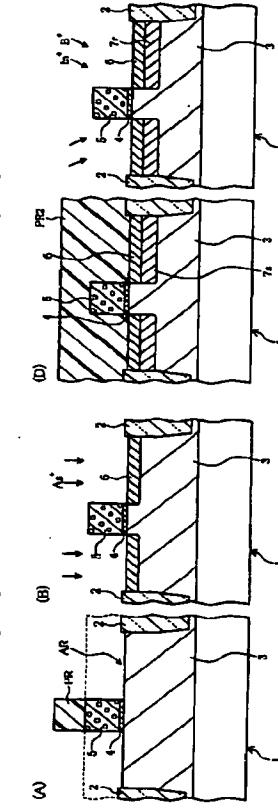
[図58]



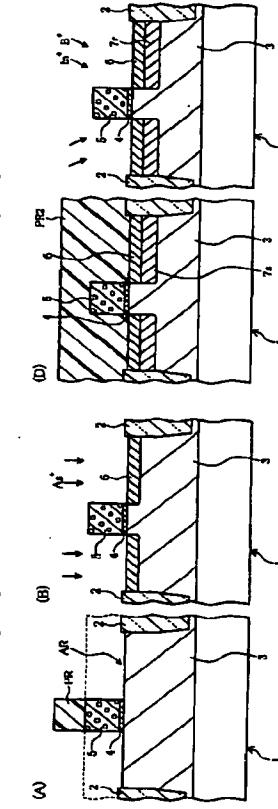
[図59]



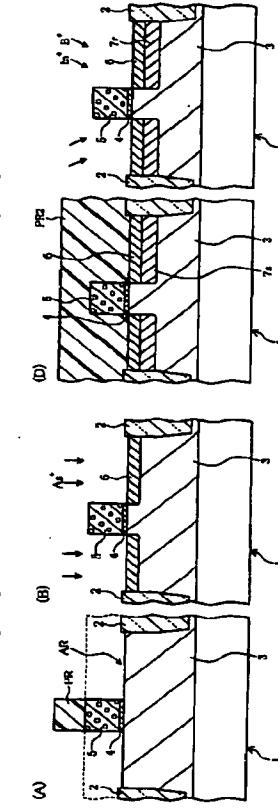
[図60]



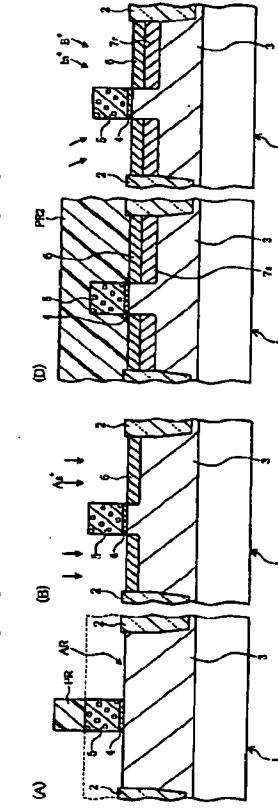
[図61]



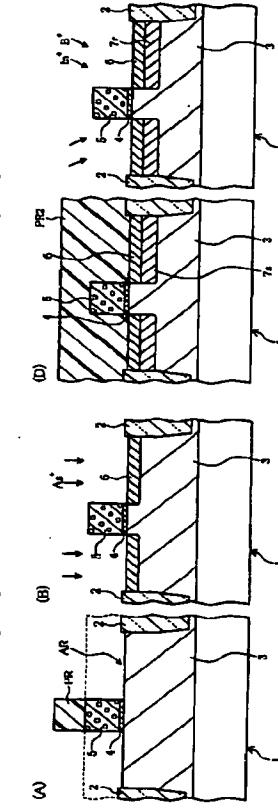
[図62]



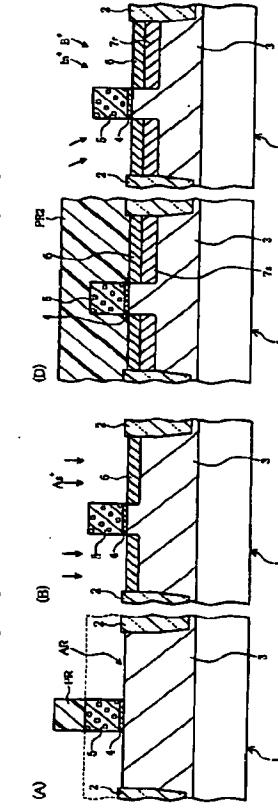
[図63]



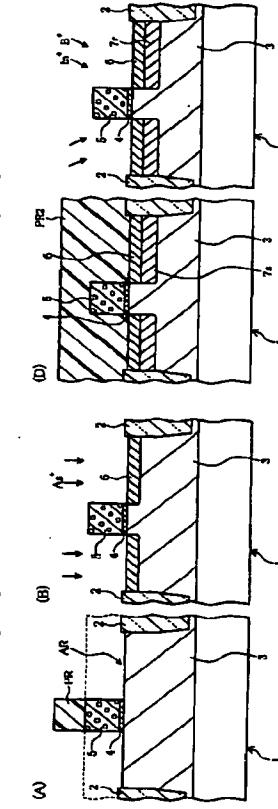
[図64]



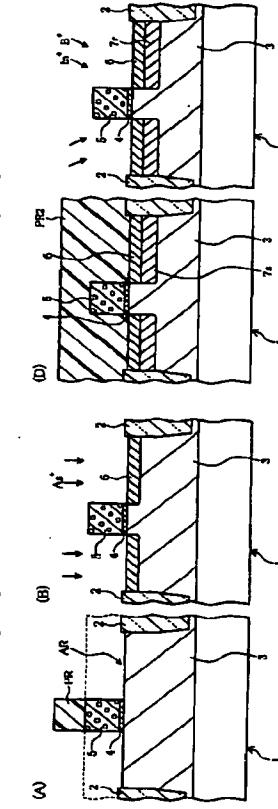
[図65]



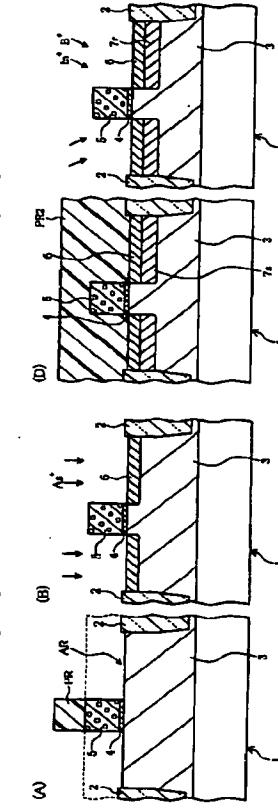
[図66]



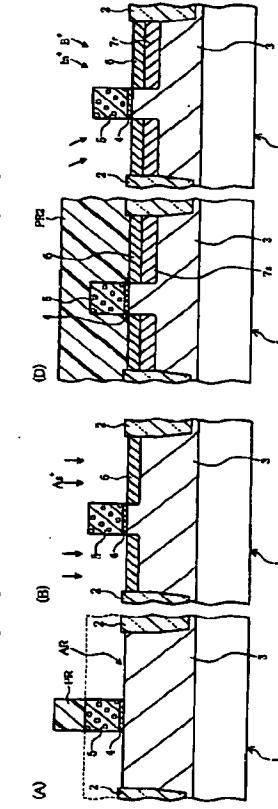
[図67]



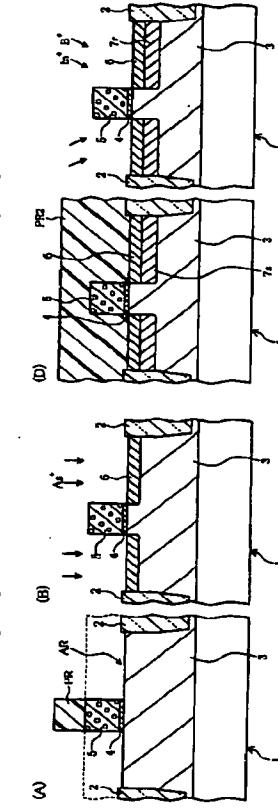
[図68]



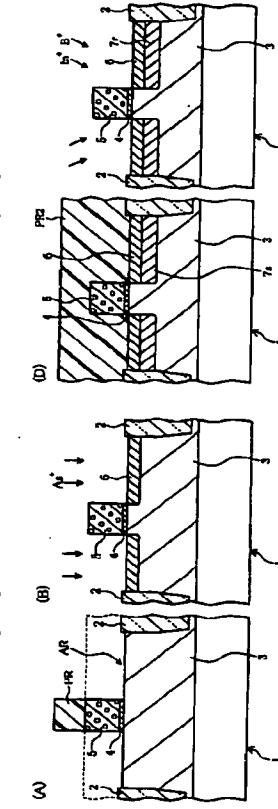
[図69]



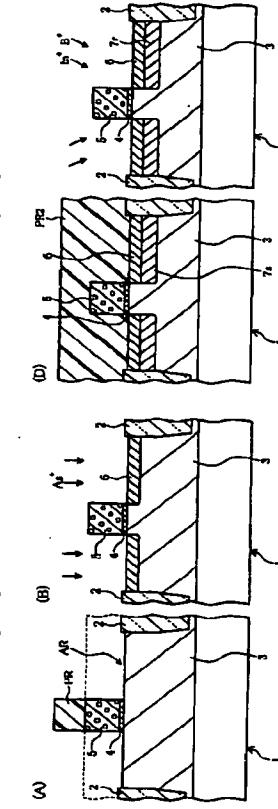
[図70]



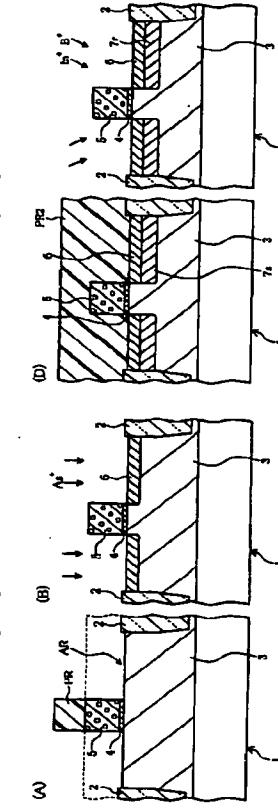
[図71]



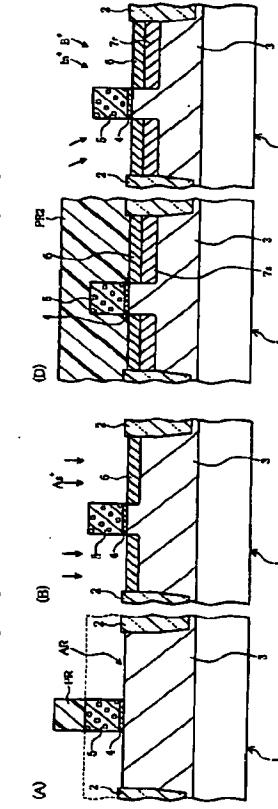
[図72]



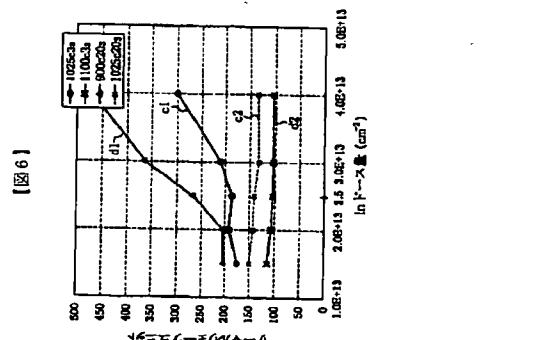
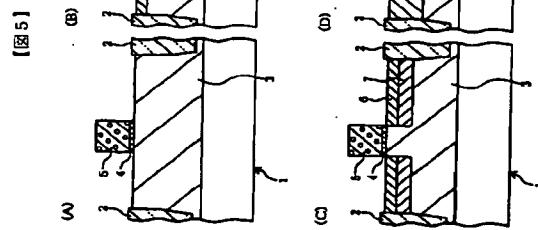
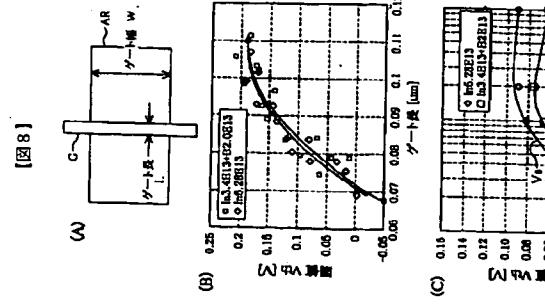
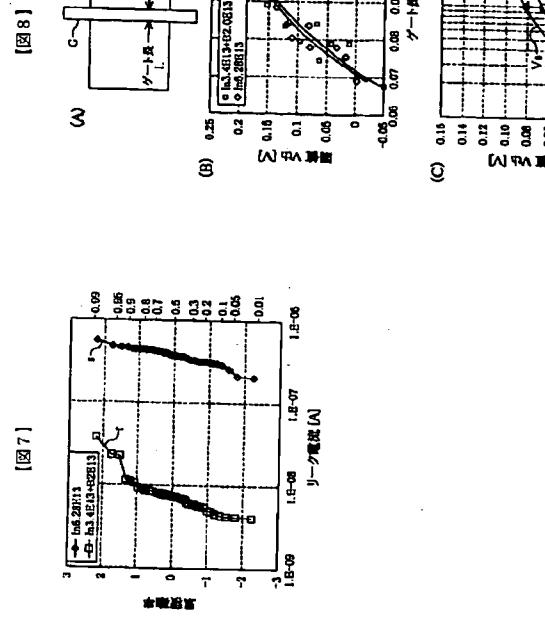
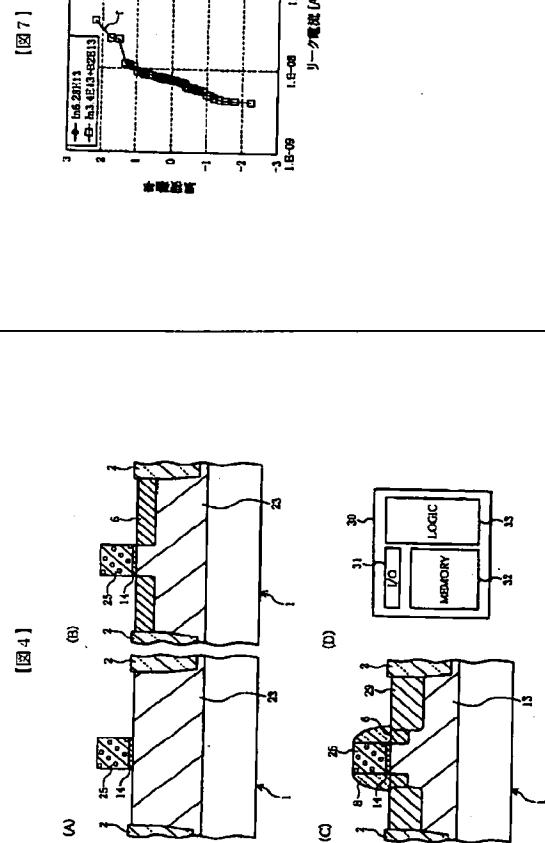
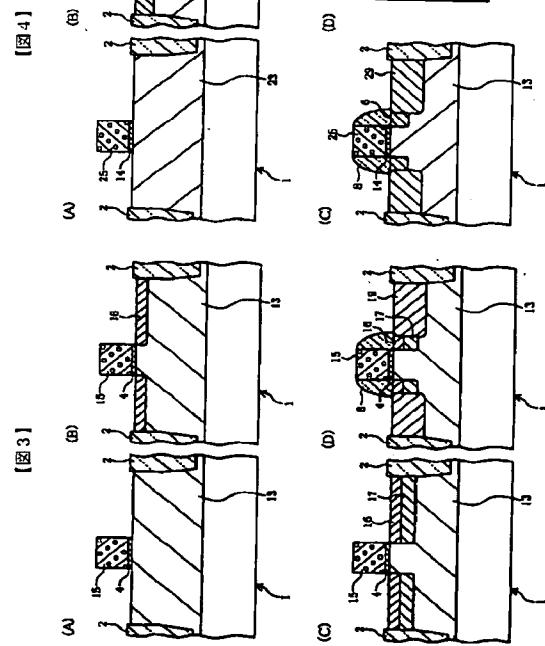
[図73]



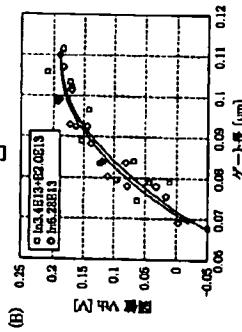
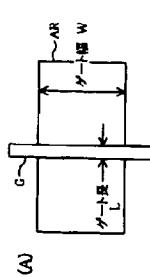
[図74]



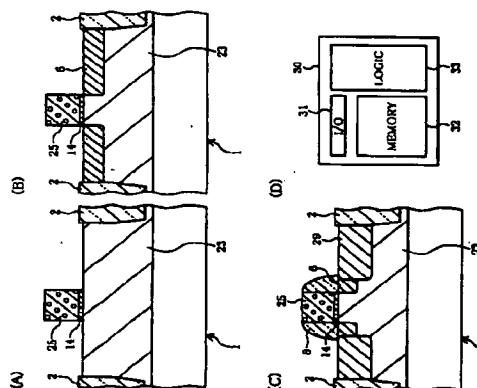
[図75]



【手続補正1】
【提出日】平成13年11月7日(2001.11.7)
【補正対象部類名】明細書
【補正項目名】0076
【補正内容】
【0076】なお、P型不純物としてBを用いる場合、イオン種としてボロンの他BF₂、デカボラン等ボロ化合物を用いてもよい。論理回路を標準トランジスタと作る場合を説明したが、論理回路を標準トランジスタと低リードトランジスタとの組み合せ、または、低リードトランジスタのみで作ることもできる。ゲートとしてノンチゲートを用いてよい。
【手続補正3】
【補正対象部類名】図面
【補正項目名】図8
【補正方法】変更
【補正内容】
【図8】

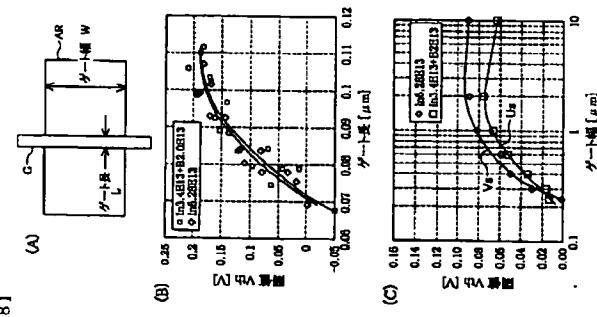


【手続補正】
19) [提出日] 平成13年12月19日 (2001.12.
【手続補正】
【補正対象部品名】図面
【補正対象項目名】図4
【補正方法】変更
【補正内容】
【図4】



【手続補正】
【補正対象部品名】図面
【補正対象項目名】図8

【補正方法】変更
【補正内容】
【図8】



フロントページの続き

(72) 発明者 開部 壱一
愛知県春日井市高蔵寺町二丁目184番2号
富士通ダイエルエスアイ株式会社内

(72) 発明者 渡辺 孔
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) SF048 AA07 AB08 AB03 AC01 BA01
BB05 BH08 BB16 BB18 BC05
BC06 BD04 BG14
SF140 AA21 AJ22 AB01 AB03
AC32 AC33 BA01 BH15 BC06
BF07 BF04 BF11 BF18 BG08
BG12 BG51 BG55 BH14 BH15
BH21 BH36 BK02 BK13 BK14
BK21 BK22 CB04 CB08